

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-319651
(43)Date of publication of application : 12.12.1997

(51)Int.Cl. G06F 12/06
G06F 12/00
G06F 15/78

(21)Application number : 09-062566 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
(22)Date of filing : 17.03.1997 (72)Inventor : OZAKI SHINJI

(30)Priority

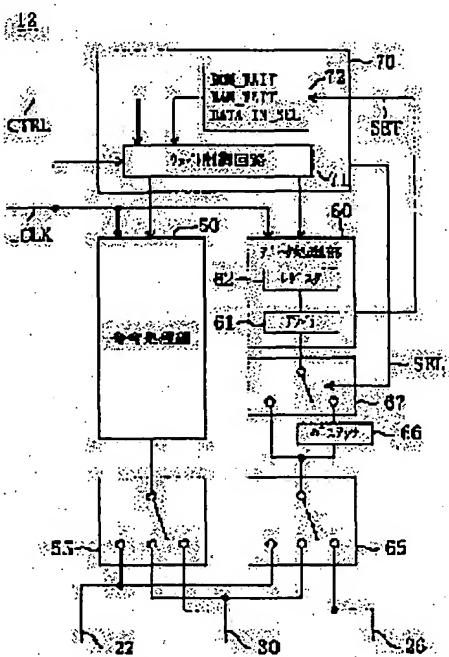
Priority number : 08 65966 Priority date : 22.03.1996 Priority country : JP

(54) SINGLE CHIP MICROCOMPUTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a microcomputer with which the access conditions of a built-in memory can be flexibly changed.

SOLUTION: A read only memory (ROM) bus 22, random access memory (RAM) bus 26 and IO bus 30 for inputting/outputting independent data from these buses 22 and 26 are connected to a central processing unit (CPU) 12 having an instruction processing part 50 and a data processing part 60. A reloadable register 72 installed inside a memory access control circuit 70 is stored with the set value of wait cycle number related to ROM access, the set value of wait cycle number related to RAM access, and set value for switching the input path of the data processing part 60. These set values are changed corresponding to the cycle time of an internal clock signal (CPU lock signal) ICLK. Corresponding to these set values, the insertion of wait cycles at the respective instruction processing part 50 and data processing part 60 is controlled and it is selected whether or not the input of the data processing part 60 is to be latched.



LEGAL STATUS

[Date of request for examination] 20.02.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3313042

[Date of registration] 31.05.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平9-319651

(43)公開日 平成9年(1997)12月12日

(51)Int.Cl.	識別記号	序内整理番号	F I	技術表示箇所
G06F 12/06	522	G06F 12/06	522	A
12/00	564	12/00	564	A
15/78	510	15/78	510	B

審査請求 未請求 請求項の数 10 O L (全9頁)

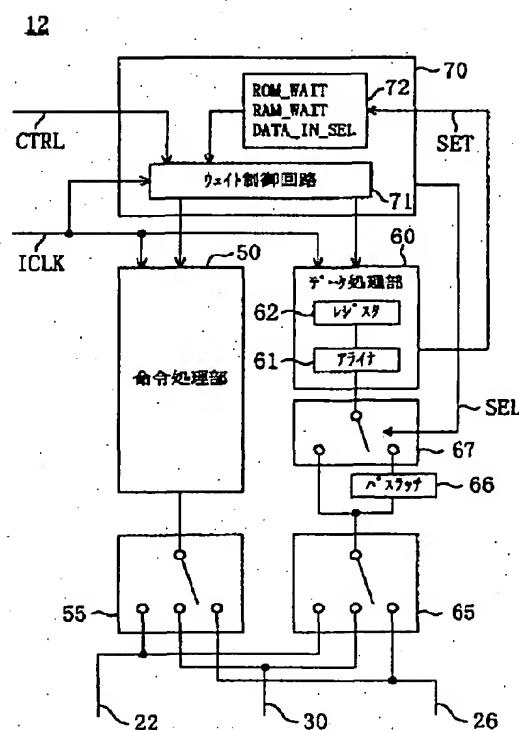
(21)出願番号 特願平9-62566
 (22)出願日 平成9年(1997)3月17日
 (31)優先権主張番号 特願平8-65966
 (32)優先日 平8(1996)3月22日
 (33)優先権主張国 日本(JP)

(71)出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (72)発明者 尾崎 伸治
 大阪府門真市大字門真1006番地 松下
 電器産業株式会社内
 (74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】シングルチップ・マイクロコンピュータ

(57)【要約】

【課題】 内蔵メモリのアクセス態様を柔軟に変更できるシングルチップ・マイクロコンピュータを提供する。
 【解決手段】 命令処理部50とデータ処理部60とを有するCPU12に、ROMバス22及びRAMバス26と、これらのバスから独立したデータ入出力のためのI/Oバス30とを接続する。メモリアクセス制御回路70の中に設けられた書き換え可能なレジスタ72に、ROMアクセスに係るウェイトサイクル数の設定値と、RAMアクセスに係るウェイトサイクル数の設定値と、データ処理部60の入力経路の切換えのための設定値とを格納する。これらの設定値は、内部クロック信号(CPUクロック信号)ICLKのサイクル時間に応じて変更される。これらの設定値に応じて、命令処理部50及びデータ処理部60の各々におけるウェイトサイクルの挿入が制御され、かつデータ処理部60の入力をラッチするかしないかが選択される。



【特許請求の範囲】

【請求項1】 命令及びデータを記憶するためのメモリ手段と、

前記メモリ手段に接続されたバス手段と、

内部クロック信号を供給するためのクロック手段と、
特定の命令又はデータを前記内部クロック信号に同期して処理するように、前記バス手段を介した前記メモリ手段へのアクセス過程を前記内部クロック信号に同期して開始するための処理手段と、

前記メモリ手段のアクセス時間と前記内部クロック信号のサイクル時間との関係に応じて決定されたウェイトサイクル数の設定値を記憶するための書き換え可能なレジスタを有し、該レジスタに記憶された設定値に応じた数のウェイト・サイクルが前記処理手段による前記メモリ手段へのアクセス過程に挿入されるように前記処理手段を制御するための制御手段とを備えたことを特徴とするシングルチップ・マイクロコンピュータ。

【請求項2】 請求項1記載のシングルチップ・マイクロコンピュータにおいて、

前記メモリ手段は、命令を記憶するための第1のメモリと、データを記憶するための第2のメモリとを有し、

前記バス手段は、前記第1のメモリと前記処理手段とを接続するための第1のバスと、前記第2のメモリと前記処理手段とを接続するための第2のバスとを有することを特徴とするシングルチップ・マイクロコンピュータ。

【請求項3】 請求項2記載のシングルチップ・マイクロコンピュータにおいて、

データ入出力のための外部バス端子と、

前記第1及び第2のバスから独立して前記外部バス端子と前記処理手段とを接続するための第3のバスとを更に備えたことを特徴とするシングルチップ・マイクロコンピュータ。

【請求項4】 請求項3記載のシングルチップ・マイクロコンピュータにおいて、

データのDMA転送を実現するように前記第3のバスを前記第1及び第2のバスに接続するためのDMA制御手段を更に備えたことを特徴とするシングルチップ・マイクロコンピュータ。

【請求項5】 請求項3記載のシングルチップ・マイクロコンピュータにおいて、

前記第1及び第2のメモリのテストを実現するように前記第3のバスを前記第1及び第2のバスに接続するためのテスト制御手段を更に備えたことを特徴とするシングルチップ・マイクロコンピュータ。

【請求項6】 データを記憶するためのメモリ手段と、前記メモリ手段に接続されたバス手段と、

内部クロック信号を供給するためのクロック手段と、
特定のデータを前記内部クロック信号に同期して処理するように、前記バス手段を介した前記メモリ手段への読み出しアクセス過程を前記内部クロック信号に同期して

開始するためのデータ処理手段と、

前記バス手段の上に読み出されたデータを前記内部クロック信号に同期してラッチするためのバスラッチ手段と、

前記バス手段の上に読み出されたデータと、前記バスラッチ手段にラッチされたデータとのいずれかを選択的に供給するためのスイッチ手段と、

前記スイッチ手段から供給されたデータに前処理を施すための前処理手段と、

前記前処理が施されたデータを前記内部クロック信号に同期して記憶するためのレジスタ手段と、

前記メモリ手段のアクセス時間と前記前処理に要する時間との和と、前記内部クロック信号のサイクル時間との関係に応じて決定された切換設定値を記憶するための書き換え可能なレジスタを有し、該レジスタに記憶された切換設定値に応じて前記スイッチ手段を制御するための制御手段とを備えたことを特徴とするシングルチップ・マイクロコンピュータ。

【請求項7】 請求項6記載のシングルチップ・マイクロコンピュータにおいて、

命令を記憶するためのROMと、

前記ROMに接続されたROMバスとを更に備えたことを特徴とするシングルチップ・マイクロコンピュータ。

【請求項8】 請求項7記載のシングルチップ・マイクロコンピュータにおいて、

データ入出力のための外部バス端子と、

前記バス手段及び前記ROMバスから独立して前記外部バス端子に接続されたI/Oバスとを更に備えたことを特徴とするシングルチップ・マイクロコンピュータ。

【請求項9】 請求項8記載のシングルチップ・マイクロコンピュータにおいて、

データのDMA転送を実現するように前記I/Oバスを前記バス手段及び前記ROMバスに接続するためのDMA制御手段を更に備えたことを特徴とするシングルチップ・マイクロコンピュータ。

【請求項10】 請求項8記載のシングルチップ・マイクロコンピュータにおいて、

前記メモリ手段及び前記ROMのテストを実現するように前記I/Oバスを前記バス手段及び前記ROMバスに接続するためのテスト制御手段を更に備えたことを特徴とするシングルチップ・マイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、シングルチップ・マイクロコンピュータに関するものである。

【0002】

【従来の技術】 CPU (中央処理装置: central processing unit) と、ROM (read only memory) と、RAM (random access memory) とを内蔵したシングルチップ・マイクロコンピュータが知られている。

【0003】

【発明が解決しようとする課題】シングルチップ・マイクロコンピュータがいわゆるマイクロコントローラとして使用される場合には、制御対象に応じた周波数を有するCPUクロック信号が選択される。ところが、内蔵されたROM及びRAMの各々のアクセス時間を変更することはできない。したがって、CPUクロック信号のサイクル時間と、ROM及びRAMの各々のアクセス時間との間に不整合が生じることがあった。

【0004】本発明の目的は、内蔵メモリのアクセス態様をCPUクロック信号のサイクル時間に応じて柔軟に変更できるシングルチップ・マイクロコンピュータを提供することにある。

【0005】

【課題を解決するための手段】上記目的を達成するため、本発明に係る第1のシングルチップ・マイクロコンピュータは、内蔵メモリのアクセスに係るCPUのウェイトサイクル数をCPUクロック信号のサイクル時間に応じて変更できるようにしたものである。

【0006】具体的には、本発明に係る第1のシングルチップ・マイクロコンピュータは、命令及びデータを記憶するためのメモリ手段(ROM及びRAM)と、該メモリ手段に接続されたバス手段と、内部クロック信号(CPUクロック信号)を供給するためのクロック手段と、特定の命令又はデータを内部クロック信号に同期して処理するようにバス手段を介したメモリ手段へのアクセス過程を内部クロック信号に同期して開始するための処理手段とに加えて、次のような制御手段を備えた構成を採用したものである。すなわち、該制御手段は、メモリ手段のアクセス時間と内部クロック信号のサイクル時間との関係に応じて決定されたウェイトサイクル数の設定値を記憶するための書き換え可能なレジスタを有し、該レジスタに記憶された設定値に応じた数のウェイトサイクルが処理手段によるメモリ手段へのアクセス過程に挿入されるように処理手段を制御するものである。

【0007】上記目的を達成するために、本発明に係る第2のシングルチップ・マイクロコンピュータは、内蔵メモリから読み出したデータの転送経路をCPUクロック信号のサイクル時間に応じて変更できるようにしたものである。

【0008】具体的には、本発明に係る第2のシングルチップ・マイクロコンピュータは、データを記憶するためのメモリ手段(例えばRAM)と、該メモリ手段に接続されたバス手段と、内部クロック信号(CPUクロック信号)を供給するためのクロック手段と、特定のデータを内部クロック信号に同期して処理するようにバス手段を介したメモリ手段への読み出しアクセス過程を内部クロック信号に同期して開始するためのデータ処理手段と、バス手段の上に読み出されたデータを内部クロック信号に同期してラッチするためのバスラッチ手段と、バ

ス手段の上に読み出されたデータとバスラッチ手段にラッチされたデータとのいずれかを選択的に供給するためのスイッチ手段と、該スイッチ手段から供給されたデータに前処理を施すための前処理手段と、前処理が施されたデータを内部クロック信号に同期して記憶するためのレジスタ手段と、切換設定値に応じてスイッチ手段を制御するための制御手段とを備えた構成を採用したものである。制御手段は書き換え可能なレジスタを有し、メモリ手段のアクセス時間と前処理に要する時間との和と、内部クロック信号のサイクル時間との関係に応じて決定された切換設定値が該レジスタに記憶され、該レジスタに記憶された切換設定値に応じてスイッチ手段が制御される。

【0009】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【0010】図1は、本発明に係るシングルチップ・マイクロコンピュータの構成例を示している。図1のシングルチップ・マイクロコンピュータ10は、いわゆるハーバード(Harvard)アーキテクチャを有するRISC(reduced instruction setcomputer)タイプのCPU12と、該CPU12へ内部クロック信号ICLKを供給するための内部クロック生成回路14と、外部クロック端子16と、クロック制御端子18とを備えている。内部クロック生成回路14は、PLL(phase-locked loop)回路を内蔵しており、外部クロック端子16を介して与えられた外部クロック信号ECLKから、内部クロック信号ICLKを生成する。クロック制御端子18に与えられたクロック制御信号CTRLは、外部クロック信号ECLKと内部クロック信号ICLKとの周波数の比率を決定する。マイクロコンピュータ10は、主に命令を記憶するためのROM20と、該ROM20とCPU12とを接続するためのROMバス22と、主にデータを記憶するためのRAM24と、該RAM24とCPU12とを接続するためのRAMバス26とを更に備えている。マイクロコンピュータ10は、外部バスインターフェイス28と、ROMバス22及びRAMバス26の各々から独立したI/Oバス30と、データ入出力のための外部バス端子32とを更に備えている。外部バスインターフェイス28は、I/Oバス30と外部バス端子32との間のインターフェイスを司る。I/Oバス30は、外部バスインターフェイス28とCPU12とを接続するものである。このI/Oバス30には、タイマ34が接続されている。マイクロコンピュータ10は、データのDMA(direct memory access)転送と内蔵メモリ20、24のテストとを制御するためのDMA/テスト制御回路36と、ROMバススイッチ38と、RAMバススイッチ40とを更に備えている。ROMバススイッチ38はROMバス22とI/Oバス30との間に介在したスイッチであり、RAMバススイッチ40はRAMバ

ス26とI/Oバス30との間に介在したスイッチである。

【0011】図2は、CPU12の内部構成を示している。CPU12は、バイオペライン構造を有する命令処理部50と、ROMバス22とRAMバス26とI/Oバス30とのいずれかを選択的に命令処理部50に接続するための命令バススイッチ55と、バイオペライン構造を有するデータ処理部60と、ROMバス22とRAMバス26とI/Oバス30とのいずれかを選択的にデータ処理部60に接続するためのデータバススイッチ65とを備えている。データ処理部60は、データバススイッチ65から供給されたデータに前処理(右シフト又は左シフトによるビット幅調整、符号拡張など)を施すためのアライナ61と、該前処理が施されたデータを内部クロック信号ICLKに同期して記憶するためのレジスタ62とを備えている。データバススイッチ65とアライナ61との間には、バスラッチ66と、データ入力スイッチ67とが介在している。バスラッチ66は、ROMバス22、RAMバス26及びI/Oバス30のうちデータバススイッチ65によって選択されたバスの上のデータを内部クロック信号ICLKに同期してラッチするものである。データ入力スイッチ67は、ROMバス22、RAMバス26及びI/Oバス30のうちデータバススイッチ65によって選択されたバスの上のデータと、バスラッチ66にラッチされたデータとのいずれかを選択的にアライナ61へ供給するものである。

【0012】図2のCPU12は、命令処理部50、データ処理部60及びデータ入力スイッチ67の各々を内部クロック信号ICLKのサイクル時間に応じて制御するためのメモリアクセス制御回路70を更に備えている。メモリアクセス制御回路70は、命令処理部50及びデータ処理部60の各々のメモリアクセス過程へのウェイトサイクルの挿入を制御するためのウェイト制御回路71と、データ処理部60から供給されるレジスタ設定信号SETによる書き換えが可能な設定値レジスタ72とを備えている。設定値レジスタ72は、ROM20のアクセスに係るウェイトサイクル数の設定値ROM_WAITと、RAM24のアクセスに係るウェイトサイクル数の設定値RAM_WAITと、データ入力スイッチ67へ供給すべき選択信号SELを決定するための切換設定値DATA_IN_SELとを記憶するものである。例えば、ROM_WAIT=1ならば、ROMアクセス過程に单一のウェイトサイクルが挿入される。ROM_WAIT=0ならば、ROMアクセス過程にウェイトサイクルが挿入されることはない。RAM_WAIT=0ならば、RAMアクセス過程にウェイトサイクルが挿入されることはない。また、DATA_IN_SEL=1ならばデータバススイッチ65の出力がバスラッチ66を介してアライナ61へ供給され、DATA_IN_SEL=0ならばデータバススイッチ65の出力が直

接にアライナ61へ供給される。

【0013】上記シングルチップ・マイクロコンピュータ10によれば、命令バススイッチ55がROMバス22を、データバススイッチ65がRAMバス26をそれぞれ選択した際には、命令の処理とデータの処理とが並行して進められる。この間、I/Oバス30は、命令処理部50及びデータ処理部60のいずれからも切り離されている。したがって、ROMバス22及びRAMバス26の各々の負荷が軽減される効果がある。データのDMA転送を実行する場合には、DMA/テスト制御回路36によりROMバススイッチ38又はRAMバススイッチ40が閉じられる。したがって、外部バス端子32は、CPU12を介さずROM20又はRAM24に接続される。ROM20のテスト実行時にはROMバススイッチ38が、RAM24のテスト実行時にはRAMバススイッチ40がそれぞれ閉じられる。

【0014】以下、命令処理部50がROM20から特定の命令を読み出し、かつデータ処理部60がRAM24から特定のデータを読み出す場合について説明する。

ここでは、命令処理部50及びデータ処理部60に分配される内部クロック信号ICLKの周波数は100MHz又は50MHzであるものとする。つまり、内部クロック信号のサイクル時間(CPUサイクル時間)Tcycは、10ns又は20nsである。また、命令処理部50がROM20からの命令の読み出しを起動してから該命令処理部50が命令を受け取るまでに要する時間(ROMアクセス時間)Tromは17nsであり、データ処理部60がRAM24からのデータの読み出しを起動してから該データ処理部60がデータを受け取るまでに要する時間(RAMアクセス時間)Tramは8nsであり、アライナ61による前処理時間(アライナ処理時間)Talgは4nsであるものとする。言うまでもなく、CPUサイクル時間Tcycが変化しても、ROMアクセス時間Trom、RAMアクセス時間Tram及びアライナ処理時間Talgは変化しない。

【0015】上記3つの設定値ROM_WAIT、RAM_WAIT及びDATA_IN_SELは、シングルチップ・マイクロコンピュータ10のユーザにより決定され、かつ初期化プログラムを実行することによりそれぞれ設定値レジスタ72に書き込まれる。設定値ROM_WAITは、ROMアクセス時間TromとCPUサイクル時間Tcycとの関係に応じて決定される。具体的には、Tcyc=10nsならば $2Tcyc > Trom > Tcyc$ であるので、ROM_WAIT=1の設定がなされる。Tcyc=20nsならば $Trom < Tcyc$ であるので、ROM_WAIT=0の設定がなされる。設定値RAM_WAITは、RAMアクセス時間TramとCPUサイクル時間Tcycとの関係に応じて決定される。具体的には、Tcyc=10ns及び20nsのいずれにおいても $Tram < Tcyc$ であるので、RAM_WAIT=0の設

定がなされる。設定値 DATA_IN_SEL は、RAM アクセス時間 Tram とアライナ処理時間 Talg との和と、CPU サイクル時間 Tcyc との関係に応じて決定される。具体的には、 $Tcyc = 1.0 \text{ n s}$ ならば $Tram + Talg > Tcyc$ であるので、バスラッチ 66 を通るデータ転送経路がデータ入力スイッチ 67 によって選択されるように、DATA_IN_SEL = 1 の設定がなされる。 $Tcyc = 2.0 \text{ n s}$ ならば $Tram + Talg < Tcyc$ であるので、バスラッチ 66 を経由しないデータ転送経路がデータ入力スイッチ 67 によって選択されるように、DATA_IN_SEL = 0 の設定がなされる。なお、 $2Tcyc > Tram > Tcyc$ が成立立つような RAM アクセス時間 Tram と CPU サイクル時間 Tcyc との組合せが採用される場合には、RAM_WAIT = 1 の設定がなされる。この場合には、 $Tram + Talg > 2Tcyc$ ならば DATA_IN_SEL = 1 の設定が、 $Tram + Talg < 2Tcyc$ ならば DATA_IN_SEL = 0 の設定がそれぞれなされる。

【0016】図 3 は、内部クロック信号 ICLK が 1.0 MHz の周波数を有する場合 ($Tcyc = 1.0 \text{ n s}$ の場合) の ROM20 の読み出しアクセス過程を示している。サイクル 1 では、ROM20 から RAM バス 22 への特定の命令の読み出しを、内部クロック信号 ICLK の立ち上がりエッジに同期して命令処理部 50 が起動する。サイクル 2 では、レジスタ 72 に記憶された設定値 ROM_WAIT (= 1) に応じて単一のウェイトサイクルが ROM アクセス過程に挿入されるように、ウェイト制御回路 71 が命令処理部 50 を制御する。サイクル 3 では、RAM バス 22 の上に読み出された命令を、内部クロック信号 ICLK の立ち上がりエッジに同期して命令処理部 50 が実行する。また、命令処理部 50 は、サイクル 3 において、ROM20 から RAM バス 22 への次の命令の読み出しを内部クロック信号 ICLK の立ち上がりエッジに同期して起動する。

【0017】図 4 は、内部クロック信号 ICLK が 5.0 MHz の周波数を有する場合 ($Tcyc = 2.0 \text{ n s}$ の場合) の ROM20 の読み出しアクセス過程を示している。ROM_WAIT = 0 の設定がなされるので、ROM20 のアクセス過程に無用のウェイトサイクルが挿入されることはない。サイクル 1 の間に ROM バス 22 の上に読み出された命令は、サイクル 2 において命令処理部 50 により直ちに実行される。また、サイクル 2 では ROM20 から次の命令が読み出される。

【0018】図 5 は、内部クロック信号 ICLK が 5.0 MHz の周波数を有する場合 ($Tcyc = 2.0 \text{ n s}$ の場合) の RAM24 の読み出しアクセス過程を示している。このケースでは $Tram + Talg < Tcyc$ であるので、RAM24 のアクセス過程に無用のウェイトサイクルが挿入されることがないように RAM_WAIT = 0 の設定がなされ、かつバスラッチ 66 を経由しないデータ

転送経路が選択されるように DATA_IN_SEL = 0 の設定がなされる。したがって、サイクル 1 の開始時点から RAM アクセス時間 Tram (= 8 n s) の後に RAM24 から RAM バス 26 の上にデータが読み出され、該読み出されたデータに直ちにアライナ 61 により前処理が施される。この前処理はサイクル 1 の終了時点までに完了し、サイクル 2 における内部クロック信号 ICLK の立ち上がりエッジに同期して前処理済みのデータがレジスタ 62 に記憶される。そして、レジスタ 62 に記憶されたデータに更に処理が施される。RAM バス 26 は、RAM24 から読み出されたデータをサイクル 1 の終了時点まで保持する。サイクル 2 では、RAM バス 26 を他のデータアクセスに使用することができる。

【0019】図 6 は、内部クロック信号 ICLK が 1.0 MHz の周波数を有する場合 ($Tcyc = 1.0 \text{ n s}$ の場合) の RAM24 の読み出しアクセス過程を示している。このケースでは $Tram < Tcyc$ かつ $Tram + Talg > Tcyc$ であるので、RAM24 のアクセス過程に無用のウェイトサイクルが挿入されることがないように RAM_WAIT = 0 の設定がなされ、かつバスラッチ 66 を通るデータ転送経路が選択されるように DATA_IN_SEL = 1 の設定がなされる。したがって、サイクル 1 の開始時点から RAM アクセス時間 Tram (= 8 n s) の後に RAM24 から RAM バス 26 の上にデータが読み出され、該読み出されたデータがサイクル 2 における内部クロック信号 ICLK の立ち上がりエッジに同期してバスラッチ 66 にラッチされる。サイクル 2 において、アライナ 61 はラッチ済みのデータに前処理を施す。この前処理はサイクル 2 の終了時点までに完了し、サイクル 3 における内部クロック信号 ICLK の立ち上がりエッジに同期して前処理済みのデータがレジスタ 62 に記憶される。そして、レジスタ 62 に記憶されたデータに更に処理が施される。RAM バス 26 は、RAM24 から読み出されたデータをサイクル 1 の終了時点まで保持する。該データはバスラッチ 66 に保存されるので、サイクル 2 では RAM バス 26 を他のデータアクセスに使用することができる。なお、図 6 のケースにおいてバスラッチ 66 を経由しないデータ転送経路が選択された状態を想定すると、この状態では RAM バス 26 の使用効率が悪くなる。RAM バス 26 は、RAM24 から読み出されたデータがアライナ 61 へ供給され続けるように、該データをサイクル 2 の終了時点まで保持しなければならないからである。

【0020】なお、上記 3 つの設定値 ROM_WAIT、RAM_WAIT 及び DATA_IN_SEL に代えて、シングルチップ・マイクロコンピュータ 10 のユーザにより決定された外部クロック信号 ECLK の周波数をレジスタ 72 に設定するようにしてよい。内部クロック信号 ICLK のサイクル時間 (CPU サイクル時間) Tcyc は、レジスタ 72 に設定された外部クロック

信号 E C L K の周波数と、クロック制御信号 C T R L により指定された周波数比率に基づいて算出される。R O M アクセス時間 T r o m 、R A M アクセス時間 T r a m 及びアライナ処理時間 T a l g は、いずれも既知の時間である。これらの既知時間と、算出された C P U サイクル時間 T c y c とに基づいて、上記 3 つの値 R O M _ W A I T 、R A M _ W A I T 及び D A T A _ I N _ S E L がメモリアクセス制御回路 7 0 により自動的に決定される。

【 0 0 2 1 】

【発明の効果】以上説明してきたとおり、本発明によれば、内蔵メモリのアクセスに係る C P U のウェイトサイクル数を C P U クロック信号のサイクル時間に応じて変更できるようにし、又は内蔵メモリから読み出したデータの転送経路を C P U クロック信号のサイクル時間に応じて変更できるようにしたので、高いメモリアクセス効率を有するシングルチップ・マイクロコンピュータを実現することができる。

【図面の簡単な説明】

【図 1】本発明に係るシングルチップ・マイクロコンピュータの構成例を示すブロック図である。

【図 2】図 1 中の C P U の内部構成を示すブロック図である。

【図 3】内部クロック信号が 1 0 0 M H z の周波数を有する場合の図 1 中の R O M の読み出しアクセス過程を示すタイミング図である。

【図 4】内部クロック信号が 5 0 M H z の周波数を有する場合の図 1 中の R O M の読み出しアクセス過程を示すタイミング図である。

【図 5】内部クロック信号が 5.0 M H z の周波数を有する場合の図 1 中の R A M の読み出しアクセス過程を示すタイミング図である。

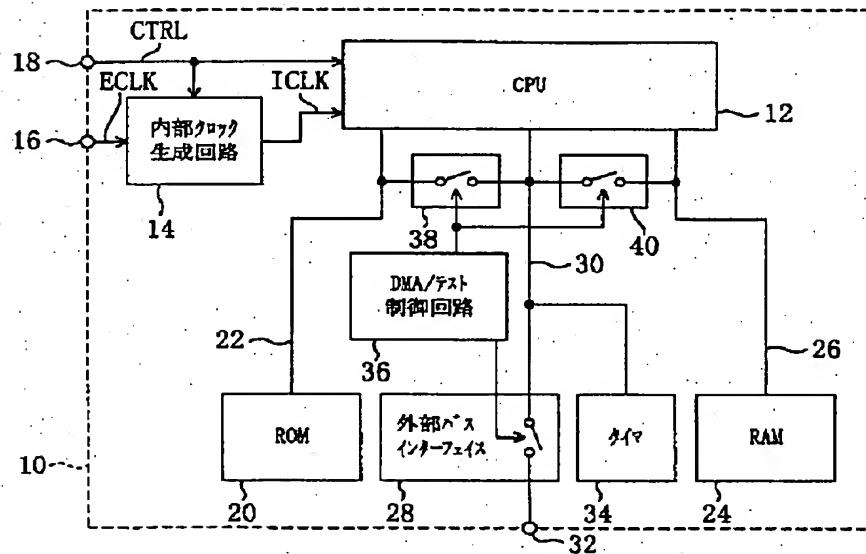
【図 6】内部クロック信号が 1 0 0 M H z の周波数を有する場合の図 1 中の R A M の読み出しアクセス過程を示すタイミング図である。

【符号の説明】

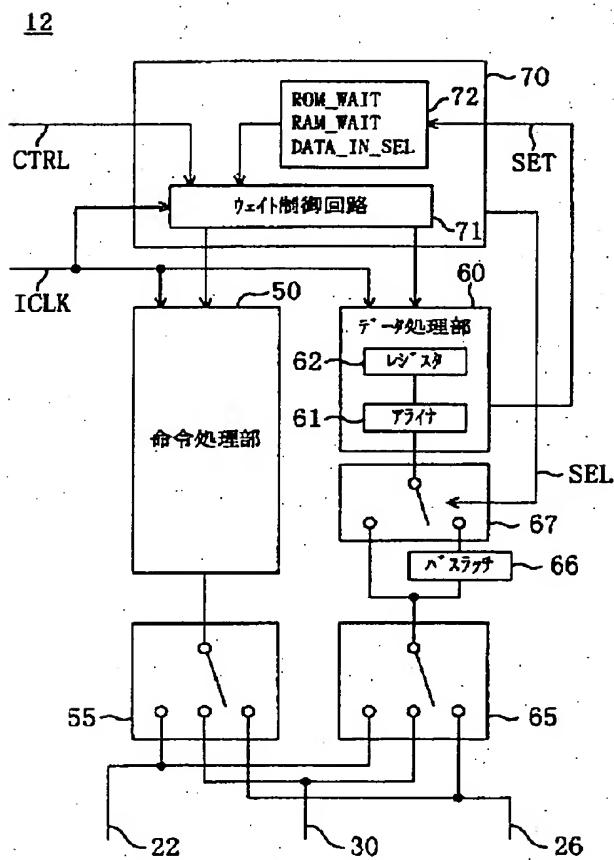
- 1 0 シングルチップ・マイクロコンピュータ
- 1 2 C P U
- 1 4 内部クロック生成回路（クロック手段）
- 1 6 外部クロック端子

1 8	クロック制御端子
2 0	R O M (メモリ手段、第 1 のメモリ)
2 2	R O M バス (第 1 のバス)
2 4	R A M (メモリ手段、第 2 のメモリ)
2 6	R A M バス (第 2 のバス)
2 8	外部バスインターフェイス
3 0	I O バス (第 3 のバス)
3 2	外部バス端子
3 4	タイマ
1 0	D M A / テスト制御回路 (D M A 制御手段、テスト制御手段)
3 8	R O M バススイッチ
4 0	R A M バススイッチ
5 0	命令処理部 (処理手段)
5 5	命令バススイッチ
6 0	データ処理部 (データ処理手段)
6 1	アライナ (前処理手段)
6 2	レジスタ (レジスタ手段)
6 5	データバススイッチ
6 6	バスラッチ (バスラッチ手段)
6 7	データ入力スイッチ (スイッチ手段)
7 0	メモリアクセス制御回路 (制御手段)
7 1	ウェイト制御回路
7 2	設定値レジスタ
C T R L	クロック制御信号
D A T A _ I N _ S E L	データ入力スイッチの切換設定値
E C L K	外部クロック信号
I C L K	内部クロック信号
3 0	R A M _ W A I T R A M アクセスに係るウェイトサイクル数の設定値
R O M _ W A I T	R O M アクセスに係るウェイトサイクル数の設定値
S E L	選択信号
S E T	レジスタ設定信号
T a l g	アライナ処理時間 (前処理時間)
T c y c	C P U サイクル時間
T r a m	R A M アクセス時間
T r o m	R O M アクセス時間

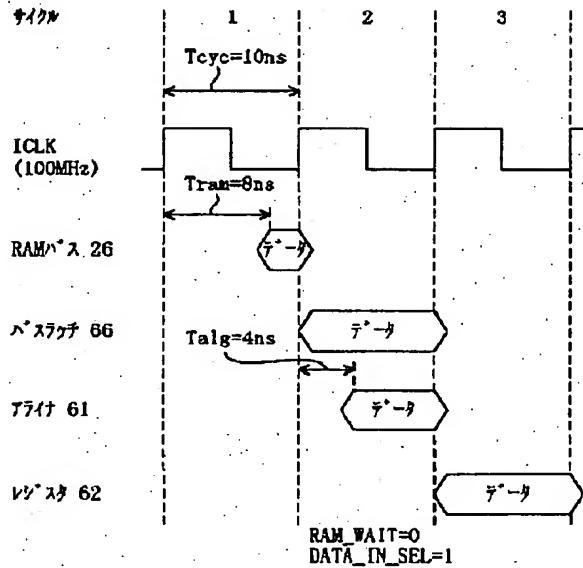
〔四〕



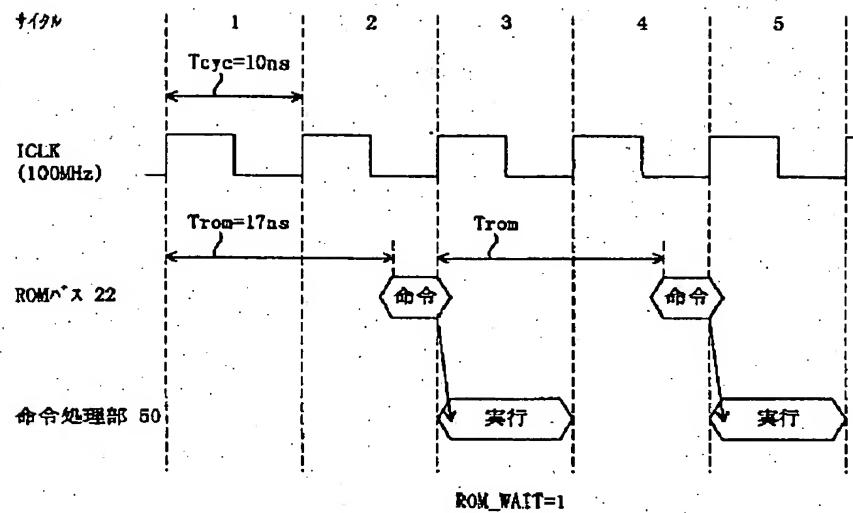
〔図2〕



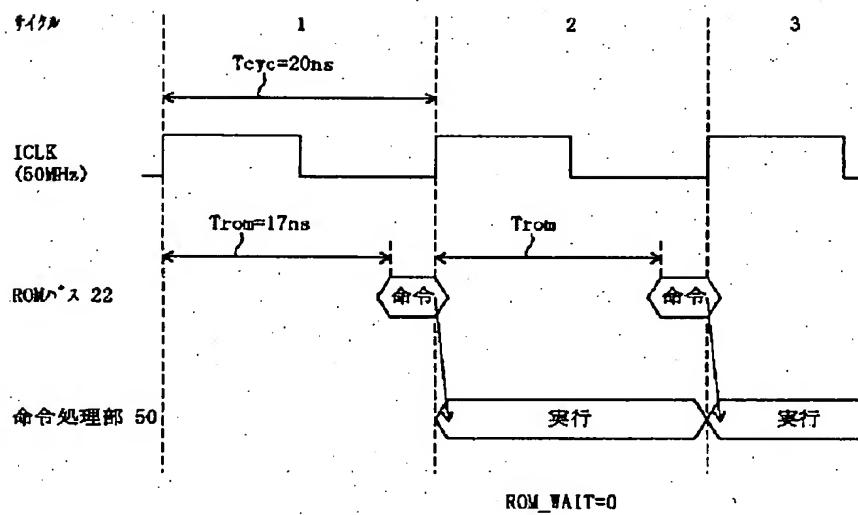
[四 6]



【図 3】



【図 4】



【図 5】

